

A6

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10135986

(43)Date of publication of application: 22.05.1998

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number: 09291261

(71)Applicant:

TEKTRONIX INC

(22)Date of filing: 23.10.1997

(72)Inventor:

DENTON CLAUDE
KIRKPATRICK DONALD C
PETERS SAMUEL J

(30)Priority

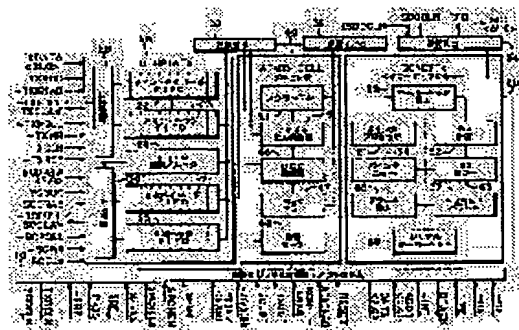
Priority number: 96 736074 Priority date: 25.10.1996 Priority country: US

(54) TRANSMISSION/RECEPTION PROCESSOR SYSTEM FOR SONET PATH/ ATM PHYSICAL LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the transmission/reception processor or the SONET path/ ATM physical layer, which is realized by the ASIC and a capability of the OC-48, that is, a data rate of 2.488Gb/sec is attained.

SOLUTION: The system is provided with a transmitter and a receiver. The transmitter has an interface 20 that receives a 32-bit data signal and an 8-bit data signal, a transmission ATM processing cell processor 40, and a transmission SONET payload processor 60. Selectors 30, 32, 34 select the connection among the blocks 20, 40, 60, and these selectors, and a transmission medium.



LEGAL STATUS

[Date of request for examination] 10.02.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)

(11)特許出願公開番号

(43)公開日 平成10年(1998)5月22日

E

H0 4Q 3/00

【特許請求の範囲】

【請求項1】 伝送媒体と、送信器と、受信器とを具え、上記送信器は、32ビット・データ信号及び8ビット・データ信号を32ビット・パイプライン及び8ビット・パイプラインと夫々結合する第1入力端及び第2入力端を有すると共に、上記32ビット・パイプライン及び上記8ビット・パイプラインの出力端に結合した出力端を有する入力インタフェースと、該入力インタフェースの出力端に結合した入力端を有すると共に、第1出力端及び第2出力端を有する第1送信選択器と、該第1送信選択器の第1出力端に結合された入力端を有すると共に、出力端を有する送信ATMセル・プロセッサと、上記第1送信選択器の第2出力端に結合した第1入力端、上記送信ATMセル・プロセッサの出力端に結合した第2入力端、並びに第1及び第2出力端を有する第2送信選択器と、該第2送信選択器の第1出力端に結合された入力端を有すると共に、出力端を有する送信SONETペイロード・プロセッサと、該送信SONETペイロード・プロセッサの出力端に結合された第1入力端、上記第2送信選択器の第2出力端に結合された第2入力端、及び上記伝送媒体に結合された出力端を有する第3送信選択器と、上記入力インタフェース、上記送信ATMセル・プロセッサ及び上記送信SONETペイロード・プロセッサに結合され、上記入力インタフェースの入力端から上記第1、第2及び第3送信選択器を介して上記第3送信選択器の出力端への入力データ信号用のデータ経路を選択的に決定する送信制御回路とを具え、上記受信器は、上記伝送媒体に結合された入力端を有すると共に、第1及び第2出力端を有する第1受信選択器と、該第1受信選択器の第1出力端に結合した入力端を有すると共に、出力端を有する受信SONETペイロード・プロセッサと、上記第1受信選択器の第2出力端に結合された第1入力端、及び上記受信SONETペイロード・プロセッサの出力端に結合された第2入力端とを有すると共に、第1及び第2出力端を有する第2受信選択器と、該第2受信選択器の第1出力端に結合された入力端を有すると共に、出力端を有する受信ATMセル・プロセッサと、上記第2受信選択器の第2出力端に結合された第1入力端、及び上記受信ATMセル・プロセッサの出力端に結合された第2入力端を有すると共に、出力端を有する第

3受信選択器と、

該第3受信選択器の出力端に結合された入力端を有すると共に、上記入力端及び上記各出力端の間に結合された32ビット・パイプライン及び8ビット・パイプラインからの32ビット出力データ信号及び8ビット出力データ信号を夫々供給する第1及び第2出力端を有する出力インタフェースと、

上記受信SONETペイロード・プロセッサ、上記受信ATMセル・プロセッサ及び上記出力インタフェースに結合され、上記第1受信選択器の入力端から上記出力インタフェースの出力端へのデータ経路を選択的に決定する受信制御回路とを具えたことを特徴とするSONET経路／ATM物理層の送信／受信プロセッサ・システム。

【請求項2】 32ビット・データ信号及び8ビット・データ信号を32ビット・パイプライン及び8ビット・パイプラインと夫々結合する第1入力端及び第2入力端を有すると共に、上記32ビット・パイプライン及び上記8ビット・パイプラインの出力端に結合した出力端を有する入力インタフェースと、

該入力インタフェースの出力端に結合した入力端を有すると共に、第1出力端及び第2出力端を有する第1送信選択器と、

該第1送信選択器の第1出力端に結合された入力端を有すると共に、出力端を有する送信ATMセル・プロセッサと、

上記第1送信選択器の第2出力端に結合した第1入力端、上記送信ATMセル・プロセッサの出力端に結合した第2入力端、並びに第1及び第2出力端を有する第2送信選択器と、

該第2送信選択器の第1出力端に結合された入力端を有すると共に、出力端を有する送信SONETペイロード・プロセッサと、

該送信SONETペイロード・プロセッサの出力端に結合された第1入力端、上記第2送信選択器の第2出力端に結合された第2入力端、及び出力端を有する第3送信選択器と、

上記入力インタフェース、上記送信ATMセル・プロセッサ及び上記送信SONETペイロード・プロセッサに結合され、上記入力インタフェースの入力端から上記第1、第2及び第3送信選択器を介して上記第3送信選択器の出力端への入力データ信号用のデータ経路を選択的に決定する送信制御回路とを具えたSONET経路／ATM物理層の送信プロセッサ。

【請求項3】 データ信号を受ける入力端を有すると共に、第1及び第2出力端を有する第1受信選択器と、該第1受信選択器の第1出力端に結合した入力端を有すると共に、出力端を有する受信SONETペイロード・プロセッサと、

上記第1受信選択器の第2出力端に結合された第1入力

3

端、及び上記受信SONETペイロード・プロセッサの出力端に結合された第2入力端とを有すると共に、第1及び第2出力端を有する第2受信選択器と、

該第2受信選択器の第1出力端に結合された入力端を有すると共に、出力端を有する受信ATMセル・プロセッサと、

上記第2受信選択器の第2出力端に結合された第1入力端、及び上記受信ATMセル・プロセッサの出力端に結合された第2入力端を有すると共に、出力端を有する第3受信選択器と、

該第3受信選択器の出力端に結合された入力端を有すると共に、上記入力端及び上記各出力端の間に結合された32ビット・パイプライン及び8ビット・パイプラインからの32ビット出力データ信号及び8ビット出力データ信号を夫々供給する第1及び第2出力端を有する出力インタフェースと、

上記受信SONETペイロード・プロセッサ、上記受信ATMセル・プロセッサ及び上記出力インタフェースに結合され、上記第1受信選択器の入力端から上記出力インタフェースの出力端へのデータ信号用データ経路を選択的に決定する受信制御回路とを具えたSONET経路/ATM物理層の受信プロセッサ。

【請求項4】 32ビット及び8ビットのフォーマットのデータの供給源及び行き先に結合する第1サイドを有すると共に、第2サイドを有するインタフェースと、第1サイド及び第2サイドを有し、ATM物理層データを処理するATMセル・プロセッサと、SONETフレーム・データを処理し、第1サイド及び第2サイドを有するSONETペイロード・プロセッサと、

上記インタフェースの第2サイド及び上記ATMセル・プロセッサの第1サイドの間、上記ATMセル・プロセッサの第2サイド及び上記SONETペイロード・プロセッサの第1サイドの間、並びに上記SONETペイロード・プロセッサの第2サイド及び伝送媒体の間に夫々結合され、入力コマンドに応じて、上記ATMセル・プロセッサ及び上記SONETペイロード・プロセッサを介して又はそれらの周辺で、上記供給源/行き先と上記伝送媒体の間でデータ経路を形成する複数の選択器とを具えたSONET経路/ATM物理層の送信/受信プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気通信システム、特に、データ・レートが非常に高速である用途特定集積回路(ASIC)として実現できるSONET経路/ATM物理層の送信/受信プロセッサに関する。

【0002】

【従来の技術】SONET(Synchronous Optical Network:同期光ネットワーク)フレームは、長さ、幅及び深

4

さを有するバイト又はデータ・ブロックの3次元配列と考えることができる。これら長さ及び幅は、行及び列(9×90)に関係し、深さは、データ幅で決まるページ数(OC-48に対して48)である。データ・レートは、ブロック当たり125マイクロ秒である。SONETフレームのオーバーヘッド管理に対して、最初の3

列、総ての行及びページを用い、ポインタは、かかるオーバーヘッド管理データ内の既知の場所にある。このポインタは、SONETフレーム内の他の列を示す。なお、この列は、1列の幅であり、総ての行を包囲し、SONETフレームの深さの3分の1であり、第1ページの列のみが、経路オーバーヘッド・データを含む(残りは、スタンプ、即ち、押し込められる)。よって、OC-1及びOC-3cに対して1ページの深さであり、OC-48cに対して16ページの深さである。SONETフレームは、同期したフレームであり、その初めは、フレーム・パルスにより指示される。

【0003】ATM(Asynchronous Transfer Mode)は、セルと呼ばれる53バイトの構成から成る非同期データ伝送システムである。各セルは、4バイトのヘッダと、48バイトのデータが続く1バイトのヘッダ・エラー・チェックサムとを有する。ATMセルをSONETフレームに挿入し、上述の如く、フレーム及び経路オーバーヘッド用に確保された場所を除いた連続場所にて伝送を行う。現在、8ビット・SONET及び16ビットATM UTOPIA(Universal Test & Operation Physical Interface for ATM)インタフェース、即ち、12ページの最大深さを有するOC(Optical Carrier)-12プロセッサが存在し、622Mb/秒のデータ・レートを達成する。

【0004】
【発明が解決しようとする課題】ASICで実現でき、OC-48の能力、即ち、2.488Gb/秒のデータ・レートを達成するSONET経路/ATM物理層(physical layer)の送信/受信プロセッサが望まれている。

【0005】

【課題を解決するための手段】本発明は、32ビットSONET及びATM UTOPIAインタフェースを用いたOC-48用のSONET経路/ATM物理層送信/受信プロセッサASICを提供する。送信/受信プロセッサは、供給源(ソース)/行き先(デスティネーション)と、プロセッサの残りの部分との間で、32ビット幅のUTOPIAインタフェースを利用できるようにする。隣接したUTOPIAインタフェースは、ATMセル・プロセッサであり、ATMセル・プロセッサ及び伝送媒体の間にはSONETペイロード・プロセッサがある。選択器を伝送媒体及びSONETペイロード・プロセッサの間と、SONETペイロード・プロセッサ及びATMセル・プロセッサの間と、ATMセル・プロセ

10

20

30

40

50

ッサ及びUTOPIAインタフェースの間とに配置して、これらUTOPIAインタフェース、ATMセル・プロセッサ及びSONETペイロード・プロセッサの各々に結合されたコマンド・ロジック回路からのユーザ・コマンドが決定する選択器の構成に応じて、プロセッサが、SONET、SONET経路/ATM物理層、ATM物理層、又は第1FIFO (First-In First-Out) バッファ経路を与える。

【0006】送信プロセッサは、2個のUTOPIAインタフェースでの8ビット及び/又は32ビット・データを受け、FIFO制御器が制御した入力制御回路に応じて、各データ及びヘッダFIFO内のデータを蓄積する。制御ロジック回路を介してユーザが入力した構成に応じて、選択器を介して、ATMセル・プロセッサ、SONETペイロード・プロセッサ又は直接的に伝送媒体に、UTOPIAインタフェースからの出力が入力される。ATMセル・プロセッサは、必要ときにHEC (Header Error Control) バイト及びアイドル・セルを発生し、これらデータをスクランブルし、望むならばHECエラーを導入し、ヘッダを出力端のデータと組合せる。選択器によりATM出力を、伝送媒体又はSONETペイロード・プロセッサに直接入力して、SONETフレームに併合する。SONETペイロード・プロセッサは、フレーム及び経路オーバーヘッド列を準備し、その構成に応じて、ATMセルをSONETフレームに直ちに挿入する。SONETフレームは、最終選択器を介して、伝送媒体に出力される。

【0007】同様に、受信器は、伝送媒体からデータを受け、選択器を介してこのデータを、そのデータがSONETフレームならばSONETペイロード・プロセッサに、そのデータがATMセルならばATMセル・プロセッサに、又はUTOPIAインタフェースに供給する。SONETペイロード・プロセッサは、オーバーヘッド情報を取り除き、このデータを、そのデータがATMセルならばATMセル・プロセッサに、又は、選択器を介してUTOPIAインタフェースに供給する。ATMセル・プロセッサは、ATMセルの開始を検索し、データを逆スクランブルして、その出力をインタフェースに供給する。UTOPIAインタフェースは、32ビット及び/又は8ビット出力をデスティネーションに供給する。

【0008】本発明の目的、利点及び新規な特徴は、添付図を参照した以下の詳細説明から一層明らかになる。

【0009】

【発明の実施の形態】図1は、本発明によるSONET経路/ATM物理層の送信プロセッサ (SPATT) を示す。このSPATTでは、UTOPIAインタフェースの如き入力インタフェース20と、ATMセル・プロセッサ40と、SONETペイロード・プロセッサ60

とが、各ステージの間と出力端に結合された第1送信選択器30、第2送信選択器32及び第3送信選択器34により、順次接続されているので、SONET及びATM機能を任意の組み合わせでイネーブル (付勢) できる。例えば、このSPATTは、SONET経路プロセッサ40への完全なATM物理層として、STM-16c/STS-48c経路プロセッサとしてのみ、ATM送信コンバージェンス副層プロセッサのみとして、又は、単に高速ファーストイン・ファーストアウト (FIFO) 装置として用いることができる。

【0010】入力インタフェース20は、32ビット・セル・フォーマットである1対のメイン・ペイロードFIFO22及びメイン・ヘッダFIFO23と、8ビット・セル・フォーマットである1対の2次ペイロードFIFO24及び2次ヘッダFIFO25とを具えており、各々の一方のFIFOはヘッダ情報用であり、他方のFIFOはデータ用である。8ビット・フォーマットは、UTOPIA規格で定められている如きものでもよく、32ビット・フォーマットは、更に拡張したものである。ATMセル・プロセッサ40がイネーブルされると、メインFIFO22、23は、1ワードを4個のヘッダ・バイトに割り当て、1ワードをユーザ定義 (User Defined: UDF) モードにおける4個のUDFバイトに割り当て、この内の1バイトをHECバイトとし、12ワードを1セル当たり48ペイロード・バイトに割り当て、1ATMセル当たり全部で14ワードにする。UDFモードがディスエーブル (減勢: イネーブルの反対) されると、UDFワードが使用されず、1ATMセル当たりの総ワードが13となる。データ・バスTXDATAを介して、32ビット・データを供給する。セル・ヘッダ32ビット・ワード期間中、TXSOC信号が高になる。上流装置により、TXENAB信号が低にされて、TXDATA及びTXSOCをTXCLKの次の立ち上がりエッジでサンプリングすべきことを示す。TXWRは、TXENABを発生する直前に、メイン・ペイロードFIFO22、23にデータを書き込むセットアップを行う。TXPOLL及びTXFULL/TXCLAVを用いて、メインFIFOがほぼ一杯であるか、セルに余裕があるかを判断する。

【0011】2次インタフェースにおいて、8ビット・データは、SCDATAを介して2次ペイロードFIFO24、25に供給され、SCDATAの各新たなセルの第1ワード期間中、SCSOCが出力される。上流装置がSCENABを低にして、SCCLKの次の立ち上がりエッジでSCDATA及びSCSOCをサンプリングすべきことを示す。SCWR、SCPOLL及びSCFULL/SCCLAVは、TXWR、TXPOLL及びTXFULL/TXCLAVと両立性がある。2次インタフェースは、UDFモードがイネーブルされたときに53バイト・セル・フォーマットを用

い、UDFモードがディスエーブルされたときに52バイト・セル・フォーマットを用いる。

【0012】SONETペイロード・プロセッサ60のみがイネーブルされると、32ビット・データ・インタフェースは、入力フレームの同期ペイロード・エンベロープSPEからのデータを伝送する。このモードで、経路オーバーヘッドを含むワード期間中、TXSOCは高である。J1バイトを含むワードの間、TXREF信号は低となる。ATMも、SONETプロセッサ40、60もイネーブルされていないと、32ビット・インタフェースは、行データをメインFIFO22、23に伝送する。このモードにおいて、SOCラインは高であり、FPIN (Frame Pulse Input: フレーム・パルス入力) 信号をGRANTとして用いて、出力データに対して流れ制御を行う。メイン・インタフェースの後ろのFIFOの深さは、8セルであり、2次セル・バイパス・パイプの深さは、4セルである。誤った書き込みは、FIFOオーバーフローとして、両方のインタフェースに報告される。FIFO制御/ルータ26は、FIFO22、23、24、25及び各入力制御器28、29を制御し、適切なFIFOへの受信コマンドに応じて、入力データを供給する。

【0013】入力インタフェース20の出力を第1選択器30に入力する。この選択器30は、ATMセル・プロセッサがイネーブルされないときに、ATMセル・プロセッサ40の周囲にデータを供給し、そうでないならば、ATMセル・プロセッサにデータを供給する。このATMセル・プロセッサは、SONETフレームに挿入できるようにATMセルを準備する。ATMセル・データをアイドル・セル発生器42に入力する。入力インタフェース20のFIFO22、23、24、25内のATMセルが完全でなければ、アイドルATMセルが発生して、SONET及びATMのデータ・レート間のレート差を補償する。各セル用のヘッダ・ワードをHEC発生器46に入力し、このHEC発生器は、ATMセルへの挿入用のHECバイトを計算する。HECエラー回路47は、エラーを試験用にHECバイトに挿入できる。このHECバイトは、UDFワードから引き出すこともできる。すなわち、ヘッダの第5バイトをUDFワードの第1バイトとしてもよい。スクランブル回路44によりATMセル・ペイロードをスクランブルし、ヘッダ及びUDFワードをATMセル・プロセッサ40の出力に付加する。性能モニタ・カウンタ49は、送信されたセルの総数、送信されたアイドル・セルの数、及び各入力インタフェース・パイプから送信されたセルの数を追跡する。ペイロード・スクランブル回路44及びHEC発生器46は、ディスエーブルできる。

【0014】SONET経路プロセッサ60がアクティブのとき、ATMセル・プロセッサ40の出力が、又は、ATMセル・プロセッサがアクティブでないときに

は、入力インタフェース20の出力が、第2選択器32を介して、SONET経路プロセッサに進む。そうでなければ、第2選択器32へのデータ入力出力選択器34に直接転送されて、SONET経路プロセッサ60をバイパスする。ATMのみのモードにおいて、FPINをGRANTとして用いて、出力データの流れを制御できる。

【0015】SONETペイロード・プロセッサ60は、ATMセルの周囲のSTM-16c/STS-48c管理ユニット、又は行ペイロード・データを合成する。内部自走カウンタ又は入力フレーム・パルスのいずれかを用いて、フレーム境界を定め、SONETペイロード・プロセッサ60は、ブランク部分及びライン・オーバーヘッドと、SPE内の経路オーバーヘッドの有効ポイントと、ポイント・プロセッサ61内の他のポイント用の関連ポイントとを発生する。ATMセル・プロセッサ40がアクティブのとき、ポイントが一定値として開始し、スタッフ (stuff) の機会は通常利用しない。SONETペイロード・プロセッサ60のみがアクティブのとき、ポイントは、TXREF及びTXSOC信号を用いる入力データに関係付けられ、一杯でない (underfill) 又は一杯 (overfill) のFIFOを基にその機会を用いる。ユーザが必要でないポイントの動きや、試験用の任意のポイント値を挿入できるような機構を設ける。

【0016】オーバーヘッド挿入回路62は、シリアル・ストリーム・オーバーヘッド・ソース68から、内部レジスタ64-67から、又は、SONETモードの場合のみ、データ入力から通過した経路オーバーヘッドを挿入できる。遠くの端部 (far end) のブロック・エラー (FEBE) 計数を、専用ピンから挿入してもよい。B3パリティ・チェック・バイトは、B3計算回路63により計算され、適切な位置に自動的に挿入される。エラー・マスクにより、あるB3ビットの挿入ができる。

【0017】デフォルトにより、ATMセル・プロセッサ40がイネーブルされると、経路オーバーヘッドを含んでいない同期ペイロード・エンベロープSPEのワードのみが、SONETペイロード・プロセッサ60から来る。ATMセル・プロセッサ40がディスエーブルされると、全SPEが入力インタフェース20を介して入力され、TXSOC信号を用いて、経路オーバーヘッドを含んだワードを示し、TXREF信号を用いて、J1バイトを含むワードを示す。SONET/ATMモードで発生したフレームは、標準動作で述べたように、第1ページの後に、経路オーバーヘッド列ページ用の1行当たり15スタッフ・バイトを含んでいる。SONETモードで通過したフレームは、入力データの流れ内に存在するどんなPOHフォーマットも含んでいる。SONETデータ出力は、32ビット同期出力バスSDO、SONETデータの新たなフレームの開始を合図するフ

レーム・パルス出力FPO、及び出力クロックSDOCLKを含んでいる。入力クロックISDOCLKは、SONET/ATM処理回路用のタイミングを提供する。

【0018】制御ロジック及びI/O（入出力）システム回路（送信制御回路）10は、SPATT用のコマンド及び制御を提供する。内部SPATTレジスタ・アドレスADDR及びDATAと共に、-CS、-RE、-WEコマンドを発生するマイクロプロセッサ（図示せず）と、制御回路10は相互作用する。SPATTは、-DTACK及び-INT応答を発生して、読出し又は書き込みアクセスを認知（アクノレッジ）し、マイクロプロセッサの注意を引く。SONET経路オーバーヘッド・イネーブル信号SPOHENは、オーバーヘッド・サンプル・クロックSPOHCLKに応答して、バイト単位で経路オーバーヘッドのソースとして、SONET経路オーバーヘッド・データ入力SPOHを使用することをイネーブルする。フレーム信号SOFの開始は、データの新たなフレームの価値がいつSPOHに現れたかを示す。エラー信号SFEBEは、出力の離れた端部ブロック・エラー信号FEBEに付加すべきエラー毎に1パルスを受け入れる。最後に、1対のポインタ信号-PAIS、-PRDIを、SONET経路オーバーヘッド用に提供する。

【0019】制御回路10を介して供給された制御信号は、SPATTデフォルトを再生するリセット-RESETと、夫々ATMセル挿入及びSONET経路処理用であるATMイネーブルATMENAB及びSONETイネーブルSONETENAB信号と、14又は13ワード若しくは53又は52バイト・フォーマット用のメイン及び2次インタフェース・パイプを構成するユーザ定義イネーブルTXUDF及びSCUDFとを含んでいる。インタフェース・エラー信号UTOPERRは、インタフェースのハンドシェイク又はセル・フォーマット・エラーの検出を示す。SPATTは、そのフレーム構造を再編成し、必要に応じて、入力フレーム・パルスFPINを、この信号用のタイミングを与えるISDOCLKと同期させる。ATMモードのみに於いて、データ出力を認可するために、FPIN/GRANT信号を用いる。SPATTは、このSPATTによりGRANTが高にサンプリングされたサイクルの後の出力SDOの11サイクルにて、サンプリングするのに有効なデータを与える。

【0020】図2は、本発明によるSONET経路/ATM物理層受信プロセッサSPATRのブロック図を示す。このSPATRは、32個のライン・チャンネルSDIを介して入る入力SONET STM-16c/STS-48c管理信号から、個別のATMセルを回復させるのに必要なSONET及びATM機能を実現する。第1受信選択器90は、32ビットSONETデータSDI、フレーム・パルス信号FPI、SONETデータ

・クロックSDICLK、有効データ信号OOF/VALIDを受ける。SONETペイロード・プロセッサ80が、制御ロジック及びI/Oシステム70を介して、SONETイネーブル・コマンドSONETENABによりイネーブルされると、第1選択器90は、SONETデータをSONETペイロード・プロセッサ80に供給する。SONETペイロード・プロセッサ80は、ポインタ処理、経路オーバーヘッド処理及び経路オーバーヘッド出力を含む入力信号の経路オーバーヘッドを終了させる。そうでなければ、SONETデータは、SONETペイロード・プロセッサ80をバイパスして、第1選択器90から第2受信選択器92に入力される。第2選択器92は、SONETペイロード・プロセッサ80からの入力も受け、ATMイネーブル・コマンドATMENABが制御ロジック及びI/Oシステム70を介してATMセル・プロセッサをイネーブルしたか否かに応じて、その出力を第3受信選択器94又はATMセル・プロセッサ100のいずれかに供給する。ATMセル・プロセッサ100は、セルの描画、HEC補正、セル・ペイロード逆スクランブル、非指定でプログラム可能なセルのろ波、及びプログラム可能なセルの流用を実行する。第3選択器94は、ATMセル・プロセッサ100からの出力信号も入力として受け、UTOPIAインタフェース120に出力を供給する。出力UTOPIAインタフェース120は、読出しイネーブルRXENAB又は-SCENAB、読出しポール（pol1）-RXPLL又は-SCPLL、及び読出しコマンド-RXRD又は-SCRD、並びに読み出しクロックRXCLK又はSCCLKに응答して、32ビット出力データRXDATA又は8ビット出力データSCDATAと共に、セル状態インジケータ-RXEMPTY/RXCLAV又は-SCEMPTY/SCCLAVと、オーバーヘッド・インジケータRXSOC又はSCSOCを発生する。よって、SONET及びATM機能を任意の組み合わせでイネーブルして、ATM物理トランスポート層、STM-16c/STS-48c経路プロセッサのみ、ATM伝送コンバージョン副層プロセッサのみ、又は単なる高速FIFOとして、SPATRを用いることができる。

【0021】SONETペイロード・プロセッサ80内のポインタ・プロセッサ81は、第1選択器90からの32ビットSONETデータを受け、SONETフレーム内の第1ワードと調整されたフレーム・パルス信号を用いて、入力データと同期させる。ポインタ・プロセッサ81は、関連した入力信号の1つの有効ポインタを見つけてデコードし、関連したインジケータにより総ての他のポインタの位置が埋まっているかを確認し、そうでなければ、エラー状態を知らせる。オーバーヘッド捕獲回路82は、有効ポインタに基づいて経路オーバーヘッド・データを抽出し、次に、各関連チェック回路84、

アラーム検出回路86、B3/FEBEエラー計数回路85、SONETパラレル回路87、及びシリアルオーバーヘッド回路88により、経路オーバーヘッド・データを処理する。総てのオーバーヘッド・バイトは、シリアルの流れとして、利用可能にする。また、G1バイトから経路RDI及びFEBEを抽出し、累積したFEBE計数及びろ波した経路RDIインジケータを利用可能にする。B3パリティを各フレームでチェックし、次のフレームで伝送された値とB3計算回路83で比較して、B3累積エラー計数を操作する。C2バイトをモニタして、割り当てられていない経路指示と、不安定な経路信号ラベルとを検出する。ポインタLOP、経路アラーム・インジケータ信号-PAIS、経路遠隔検出指示-PRDI、関連エラーCERR、及び経路信号ラベル・エラーPSLE出力の損失を、制御ロジック及びI/Oシステム70が行う。制御ロジック及びI/Oシステム70を介して供給されたシリアル・オーバーヘッド出力は、シリアル・オーバーヘッドの流れSPOH、オーバーヘッド・クロックSPOHCLK、B3エラー信号SFEBE、及びフレーム信号の開始SOFである。

【0022】ATMセル・プロセッサ100がイネーブルされると、第2選択器92は、経路オーバーヘッドを含んでいないSONETペイロード・プロセッサ80からの同期ペイロード・エンベロープのワードのみを通過させる。ATMセル・プロセッサ100がディスエーブルされると、第2選択器92及び第3選択器94を介して、出力インタフェース120に対して全SPEが利用可能となり、RXSOCラインを用いて、経路オーバーヘッドを含んだワードを指示すると共に、-RXREFラインを用いて、J1バイトを含んだワードを指示する。STM-16c/STS-48c信号用の経路オーバーヘッドPOHを定義して、標準規格に記載された行毎に15スタッフ・バイトを指示する。

【0023】第2選択器92からのATMデータをセル描画回路102に入力する。このセル描画回路102は、適切な標準規格に記載されているように、HECを基本とした検索及びハント/ブリシンク（前もっての同期）/シンク（同期）状態を用いる。これら状態は、制御ロジック及びI/Oシステム70を介して、HUNT、PRESYNC及びSYNCとして提供される。HUNT状態を除いた総ての状態、セル・ペイロード・データが逆スクランブル回路104に入力される。また、ヘッダ補正回路105は、オプションとして、単一ビット・ヘッダ・エラーのセルを補正する。エラー・フィルタ106は、標準とされたヘッダ・エラー補正ステート・マシンを維持し、メイン・データの流れから検出されたエラーを有するセルをろ波する4つのオプションを提供する。ろ波されたセルは、出力インタフェース120内の2次データ・パイプに流用したり、取りやめ（ドロップ）にしてもよい。

【0024】3個のプログラマブル・セル・ヘッダ・フィルタ107、108、109は、メイン・データの流れからの特定のヘッダを有するセルを除去する。これらフィルタを、ディスエーブルしたり、出力インタフェース120内の2次データ・パイプにセルを流用したり、又は完全にセルをドロップするように設定したりしてもよい。これらフィルタの1つを用いて、割り当てられていないセルをドロップしてもよい。各フィルタ内のカウンタは、受信したセルの総数、エラーによりドロップしたり流用したセルの数、補正したヘッダと共に通過したセルの数、各フィルタ・ブロックにより流用されたりドロップされたセルの数を累積する。

【0025】SONETペイロード・プロセッサ80がイネーブルされると、ATMセル・プロセッサ100への入力、SONETペイロード・プロセッサ80から第2選択器92を介して供給される。そうでなければ、ATMセル・プロセッサ100は、その入力として第2選択器92を介した32ビットSDIチャンネルを取込み、OOF/-VALID信号を用いて、どのワードがATMの流れに属するかを決める。ATMセル・プロセッサ100がイネーブルされると、その出力は、第3選択器94を介して出力インタフェース120に進む。セル・ペイロード逆アセンブリ及びヘッダ・エラー補正がディスエーブルされ、HEC計算における特定の多項式（copokynomial） $(x^6 + x^4 + x^2 + 1)$ を用いることもディスエーブルできる。

【0026】出力インタフェース120は、メイン流れのFIFO122、123及び2次流れのFIFO124、135の両方を有し、これらの各々は、総てのモードを維持するセルを与える。メインFIFO122、123のセル・フォーマットは、32ビット幅であり、2次FIFO124、125セル・フォーマットは、8ビット幅である。8ビット・フォーマットは、UTOPIA規格などの適切な規格に記載されており、32ビット・フォーマットは、その拡張である。FIFOオーバーフローが繰り返し、オーバーフローにより取りやめられたセルの計数は維持される。

【0027】ATMセル・プロセッサ100がイネーブルされると、32ビット・セル・フォーマットは、4つのヘッダ・バイトに1ワードを割り当て、HECバイトを含むバイト1を有する4つのUDFバイトに1ワードを割り当て、1セル当たり48ペイロード・バイトに12ワードを割り当てる。また、SPATRは、UDFワードを除去するように設定され、出力インタフェース120におけるデータ・レートを下げる。SPATRの制御レジスタ内の設定は、UDFバイト2を用いて、各セルのヘッダ内で検出されたエラーを報告できるようにする。すなわち、「0」は、エラーなしの検出の場合であり、「1」は、単一ビット・エラーの検出の場合であり、「2」は、単一ビット・エラーが検出されて補正さ

れた場合であり、「3」は、多数ビット・エラーの検出の場合である。そうでなければ、UDFバイト2-4は、SPATR内の書き込み可能レジスタから読み出された値で一杯になる。セルの最初の32ビット・ワードの間、RXSOCが高となる。SONETペイロード・プロセッサ80がイネーブルされれば、-RXREF信号は、基準クロックであり、そうでなければ、-RXREFは、高に維持される。

【 0 0 2 8 】 S O N E T ベイロード・プロセッサ 8 0 のみがイネーブルされると、3 2 ビット・メイン・パイプは、入力 S O N E T フレームの S P E からのデータを伝送する。このモードにおいて、経路オーバーヘッドを含んだワードの期間中に R X S O C ラインが出力され、J 1 バイトを含むワードと伴って、- R X R E F 信号が低に出力される。A T M プロセッサ 1 0 0 も S O N E T プロセッサ 8 0 もイネーブルされないと、3 2 ビット・メイン・パイプが S D I チャンネル入力からのデータを伝送し、O O F / - V A L U E 信号がそのインタフェース上の入力をイネーブルするように作用する。P X P R T Y 信号は、常に、データ・パスのアクティブ・ビットにわたって奇数パリティを伝送する。この際、P X R E F 及び R X P R T Y 信号なしに、メイン F I F O 1 2 2 、1 2 3 の深さは 8 セルであり、2 次 F I F O 1 2 4 、1 2 5 の深さは 4 セルである。

【 0 0 2 9 】

【発明の効果】よって、本発明は、1対のASIC形式で、SONET経路/ATM物理層の送信/受信プロセッサを提供できる。これらASICでは、伝送媒体に対する32ビット・インタフェースと、適切な選択器と一

緒のATMセル・プロセッサ及びSONETペイロード・プロセッサと、2. 488Gb/秒でOC-48を含む複数のオプションを提供する制御ロジック回路とを用いる。すなわち、本発明によれば、ASICで実現でき、OC-48能力、即ち、2. 488Gb/秒のデータ・レートを達成するSONET経路/ATM物理層の送信/受信プロセッサを実現できる。

【図面の簡単な説明】

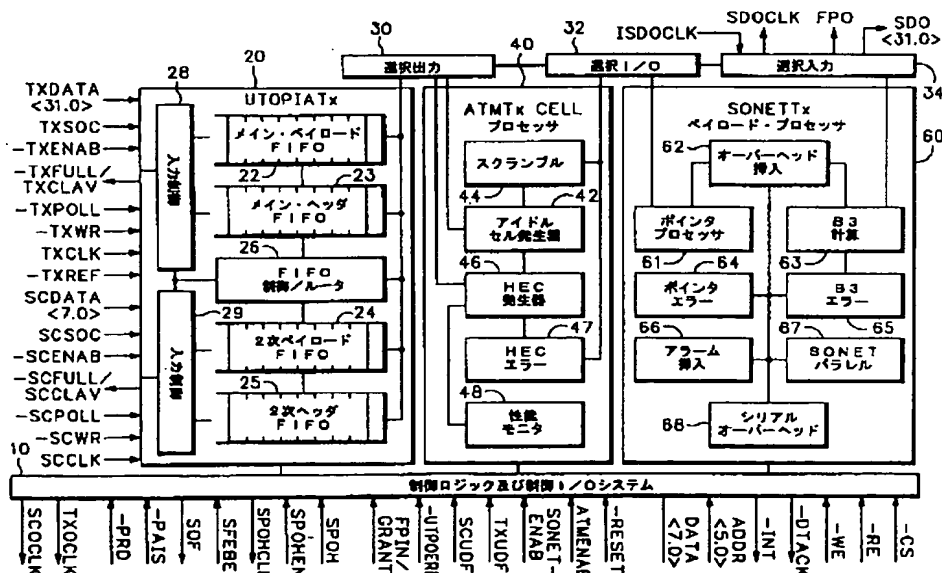
【図1】本発明によるSONET経路/ATM物理層の送信プロセッサのブロック図である。

【図２】本発明によるSONET経路／ATM物理層の受信プロセッサのブロック図である。

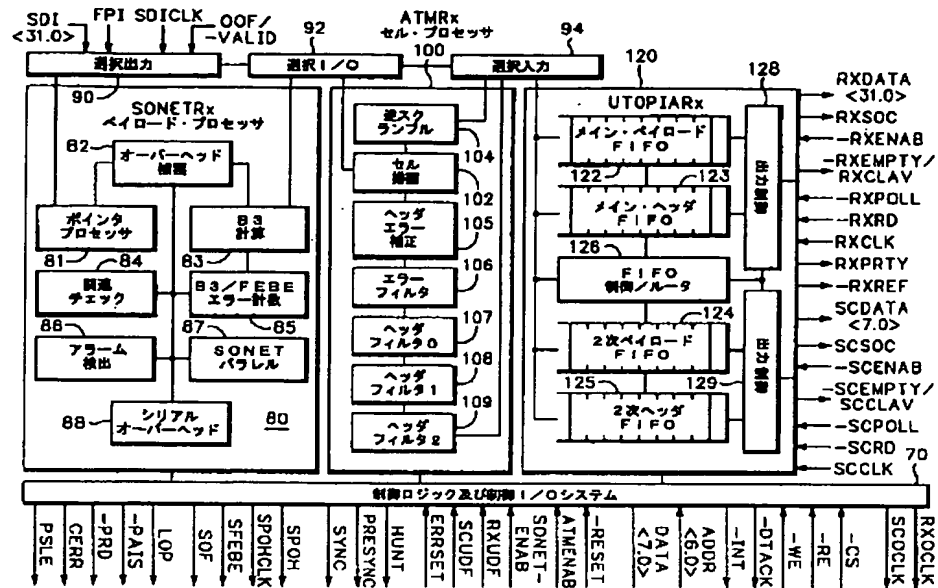
【符号の説明】

- 1 0 制御ロジック及び I/O システム回路 (送信制御回路)
- 3 0 第 1 送信選択器
- 3 2 第 2 送信選択器
- 3 4 第 3 送信選択器
- 2 0 入力インタフェース
- 4 0 送信 ATM セル・プロセッサ
- 6 0 送信 SONET ペイロード・プロセッサ
- 7 0 制御ロジック及び I/O システム回路 (受信制御回路)
- 8 0 受信 SONET ペイロード・プロセッサ
- 9 0 第 1 受信選択器
- 9 2 第 2 受信選択器
- 9 4 第 3 受信選択器
- 1 0 0 受信 ATM セル・プロセッサ
- 1 2 0 出力インタフェース

【图 1】



【図2】



フロントページの続き

(72)発明者 ドナルド・シー・キラクパトリック
 アメリカ合衆国 オレゴン州 97006 ビー
 ーパートン サウスウェスト フェアサン
 ト・レーン 17595

(72)発明者 サミュエル・ジェイ・ペターズ
 アメリカ合衆国 オレゴン州 97007 ビー
 ーパートン サウスウェスト ワンハンド
 レッドフィフティサード・アベニュー
 6434